

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-132217
(43)Date of publication of application : 09.05.2002

(51)Int.Cl. G09G 3/30
G09G 3/20
G09G 3/36
H04N 5/70

(21)Application number : 2001-242374 (71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD
(22)Date of filing : 09.08.2001 (72)Inventor : KOYAMA JUN
YAMAZAKI SHUNPEI

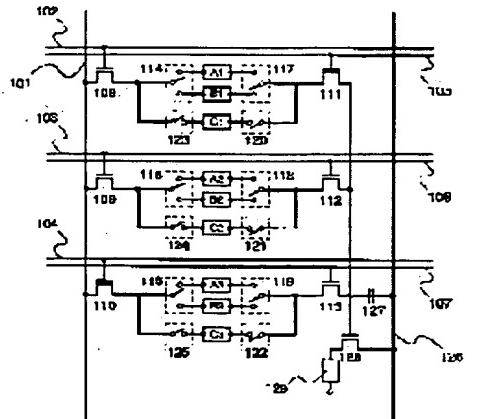
(30)Priority
Priority number : 2000249087 Priority date : 18.08.2000 Priority country : JP

(54) ELECTRONIC EQUIPMENT AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electro-optical device permitting reduction in power consumption by using a driving circuit and pixels having a new circuit configuration.

SOLUTION: In the electro-optical device for displaying a video using a digital video signal of n bits (n is a natural number ≥ 2), each pixel has $(n \times m)$ pieces (m is a natural number) of volatile memory circuits, and $(n \times k)$ pieces (k is a natural number) of non-volatile memory circuits, and has a function of storing digital video signals for m frames in the volatile memory circuits and a function of storing digital video signals for k frames in non-volatile memory circuits. To display a still picture, the device repeatedly reads the digital video signals stored once in the memory circuits to perform displaying in each frame, and is thereby able to halt driving a source signal driving circuit for that time. Moreover, since the digital video signals stored in the non-volatile memory circuits are stored even after the power is switched off, they can be displayed immediately when the power is switched on again.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

/http://www19.ipdl.jpo.go.jp/PA1/result/detail/main/wAAAnNaGqnDA414132217P2.htm/2004年9月10日/1/1

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-132217

(P2002-132217A)

(43)公開日 平成14年5月9日(2002.5.9)

(51)Int.Cl.⁷

G 0 9 G 3/30

3/20

識別記号

6 1 1

6 2 3

6 2 4

F I

G 0 9 G 3/30

3/20

テ-マコード(参考)

J 5 C 0 0 6

6 1 1 A 5 C 0 5 8

6 2 3 G 5 C 0 8 0

6 2 3 H

6 2 4 B

審査請求 未請求 請求項の数23 O.L (全27頁) 最終頁に続く

(21)出願番号 特願2001-242374(P2001-242374)

(22)出願日 平成13年8月9日(2001.8.9)

(31)優先権主張番号 特願2000-249087(P2000-249087)

(32)優先日 平成12年8月18日(2000.8.18)

(33)優先権主張国 日本 (JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 山崎 肇平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

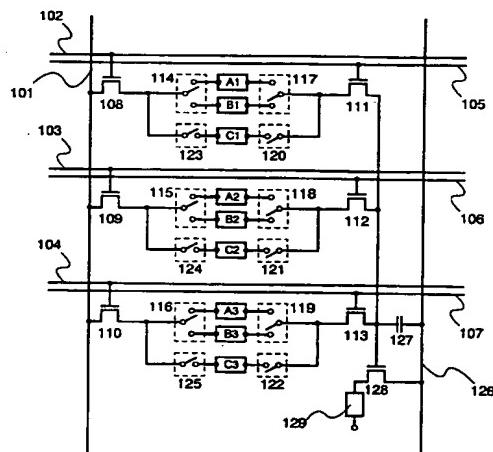
最終頁に続く

(54)【発明の名称】 電子装置およびその駆動方法

(57)【要約】

【課題】 新規の回路構成を有する駆動回路および画素を用いて、低消費電力化が可能な電気光学装置の提供を課題とする。

【解決手段】 n ビット (n は自然数、 $n \geq 2$) のデジタル映像信号を用いて映像表示を行う電気光学装置において、1画素あたり $n \times m$ 個 (m は自然数) の揮発性の記憶回路と、 $n \times k$ 個 (k は自然数) の不揮発性の記憶回路を有し、 m フレーム分のデジタル映像信号を揮発性の記憶回路に記憶する機能と、 k フレーム分のデジタル映像信号を不揮発性の記憶回路に記憶する機能とを有する。静止画像の表示は、一旦記憶回路に記憶されたデジタル映像信号を繰り返し読み出して各フレームで表示を行うことにより、その間のソース信号線駆動回路の駆動を停止出来る。また、不揮発性の記憶回路に記憶されたデジタル映像信号は、電源遮断後も記憶されるため、次の電源投入時に直ちに表示が可能である。



101 : ソース信号線
102~104 : 書き込み用ゲート信号線
105~107 : 読み出し用ゲート信号線
108~110 : 書き込み用 TFT
111~113 : 読み出し用 TFT
114~116 : 書き込み用記憶回路選択部(V)
117~119 : 読み出し用記憶回路選択部(V)
120~122 : 書き込み用記憶回路選択部(NV)
123~125 : 読み出し用記憶回路選択部(NV)
126 : 電流供給線
127 : 保持容量
128 : EL駆動用 TFT
129 : EL素子
A1~A3, B1~B3 : 記憶回路
C1~C3 : 不揮発性の記憶回路

【特許請求の範囲】

【請求項1】複数の画素を有する電子装置において、前記複数の画素はそれぞれ、複数の記憶回路と、複数の不揮発性の記憶回路とを有することを特徴とする電子装置。

【請求項2】複数の画素を有する電子装置において、前記複数の画素はそれぞれ、nビット（nは自然数、 $2 \leq n$ ）のデジタル映像信号をmフレーム分（mは自然数、 $1 \leq m$ ）記憶する $n \times m$ 個の記憶回路と、前記nビットのデジタル映像信号をkフレーム分（kは自然数、 $1 \leq k$ ）記憶する $n \times k$ 個の不揮発性の記憶回路とを有することを特徴とする電子装置。

【請求項3】複数の画素を有する電子装置において、前記複数の画素はそれぞれ、ソース信号線と、
n本（nは自然数、 $2 \leq n$ ）の書き込み用ゲート信号線と、
n本の読み出し用ゲート信号線と、
n個の書き込み用トランジスタと、
n個の読み出し用トランジスタと、
nビットのデジタル映像信号をmフレーム分（mは自然数、 $1 \leq m$ ）記憶する $n \times m$ 個の記憶回路と、
前記nビットのデジタル映像信号をkフレーム分（kは自然数、 $1 \leq k$ ）記憶する $n \times k$ 個の不揮発性の記憶回路と、
2n個の記憶回路選択部と、
2n個の不揮発性記憶回路選択部と、
電流供給線と、

EL駆動用トランジスタと、
EL素子とを有し、
前記n個の書き込み用トランジスタのゲート電極はそれぞれ、前記n本の書き込み用ゲート信号線のそれぞれ異なるいずれか1本と電気的に接続され、

前記n個の書き込み用トランジスタの入力電極はそれぞれ、前記ソース信号線と電気的に接続され、
前記n個の書き込み用トランジスタの出力電極はそれぞれ、n個の前記記憶回路選択部のそれぞれ異なるいずれか1個を介して、m個の前記記憶回路と電気的に接続され、

また前記n個の書き込み用トランジスタの出力電極はそれぞれ、n個の前記不揮発性記憶回路選択部のそれぞれ異なるいずれか1個を介して、k個の前記不揮発性の記憶回路と電気的に接続され、

前記n個の読み出し用トランジスタのゲート電極はそれぞれ、前記n本の読み出し用ゲート信号線のそれぞれ異なるいずれか1本と電気的に接続され、

前記n個の書き込み用トランジスタの入力電極はそれぞれ、n個の前記記憶回路選択部のそれぞれ異なるいずれか1個を介して、k個の前記不揮発性の記憶回路と電気的に接続され、
前記n個の書き込み用トランジスタの出力電極はそれぞれ、前記EL駆動用トランジスタのゲート電極と電気的

また前記入力電極はそれぞれ、n個の前記不揮発性記憶回路選択部のそれぞれ異なるいずれか1個を介して、k個の前記不揮発性の記憶回路と電気的に接続され、
前記n個の書き込み用トランジスタの出力電極はそれぞれ、前記EL駆動用トランジスタのゲート電極と電気的に接続され、
前記EL駆動用トランジスタの入力電極は、前記電流供給線と電気的に接続され、
前記EL駆動用トランジスタの出力電極は、前記EL素子の一方の電極と電気的に接続されていることを特徴とする電子装置。

【請求項4】複数の画素を有する電子装置において、前記複数の画素はそれぞれ、
n本（nは自然数、 $2 \leq n$ ）のソース信号線と、
書き込み用ゲート信号線と、
n本の読み出し用ゲート信号線と、
n個の書き込み用トランジスタと、
n個の読み出し用トランジスタと、
nビットのデジタル映像信号をmフレーム分（mは自然数、 $1 \leq m$ ）記憶する $n \times m$ 個の記憶回路と、
前記nビットのデジタル映像信号をkフレーム分（kは自然数、 $1 \leq k$ ）記憶する $n \times k$ 個の不揮発性の記憶回路と、
2n個の記憶回路選択部と、
2n個の不揮発性記憶回路選択部と、
電流供給線と、
EL駆動用トランジスタと、
EL素子とを有し、
前記n個の書き込み用トランジスタのゲート電極はそれ

ぞれ、前記書き込み用ゲート信号線と電気的に接続され、

入力電極はそれぞれ、前記n本のソース信号線のそれぞれ異なるいずれか1本と電気的に接続され、
出力電極はそれぞれ、n個の前記記憶回路選択部のそれぞれ異なるいずれか1個を介して、m個の前記記憶回路と電気的に接続され、

また前記出力電極はそれぞれ、n個の前記不揮発性記憶回路選択部のそれぞれ異なるいずれか1個を介して、k個の前記不揮発性の記憶回路と電気的に接続され、
前記n個の読み出し用トランジスタのゲート電極はそれ

ぞれ、前記n本の読み出し用ゲート信号線のそれぞれ異なるいずれか1本と電気的に接続され、
入力電極はそれぞれ、n個の前記記憶回路選択部のそれ

ぞれ異なるいずれか1個を介して、k個の前記不揮発性の記憶回路と電気的に接続され、
また前記入力電極はそれぞれ、n個の前記不揮発性記憶回路選択部のそれぞれ異なるいずれか1個を介して、k個の前記不揮発性の記憶回路と電気的に接続され、
前記n個の書き込み用トランジスタの出力電極はそれ

ぞれ、前記EL駆動用トランジスタのゲート電極と電気的

5

前記複数の画素においてはそれぞれ、
前記ゲート信号線が選択されている行において、
ソース信号線より入力されるnビットのデジタル映像信号の、記憶回路への書き込み、
または前記記憶回路に記憶された前記nビットのデジタル映像信号の読み出し、
または前記ソース信号線より入力される前記nビットのデジタル映像信号もしくは前記記憶回路に記憶された前記nビットのデジタル映像信号の、不揮発性の記憶回路への書き込み、
または前記不揮発性の記憶回路に記憶された前記nビットのデジタル映像信号の読み出し、
または前記不揮発性の記憶回路に記憶された前記nビットのデジタル映像信号の、前記記憶回路への書き込みを行うことを特徴とする電子装置の駆動方法。

【請求項18】nビット(nは自然数、 $2 \leq n$)のデジタル映像信号を用いて映像の表示を行う電子装置の駆動方法において、
前記電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、
シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、
前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、
前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、
前記ゲート信号線駆動回路は、ゲート信号線選択パルスを出力して、前記ゲート信号線を、1行目から順次選択し、
前記複数の画素においては、1行目から順次前記nビットのデジタル映像信号の書き込み、または前記nビットの映像信号の読み出しが行われることを特徴とする電子装置の駆動方法。

【請求項19】nビット(nは自然数、 $2 \leq n$)のデジタル映像信号を用いて映像の表示を行う電子装置の駆動方法において、
前記電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の画素とを有し前記ソース信号線駆動回路においては、
シフトレジスタからサンプリングパルスが出力されてラッチ回路に入力され、
前記ラッチ回路においては、前記サンプリングパルスにしたがって前記デジタル映像信号が保持され、
前記保持されたデジタル映像信号はソース信号線へと書き込みが行われ、
前記ゲート信号線駆動回路は、ゲート信号線選択パルスを、前記ゲート信号線の任意の行を特定して出力することによって選択し、
前記複数の画素においては、前記ゲート信号線が選択さ

れている任意の行において、前記nビットのデジタル映像信号の書き込み、

または前記nビットの映像信号の読み出しが行われることを特徴とする電子装置の駆動方法。

【請求項20】請求項17乃至請求項19のいずれか1項において、
静止画像の表示期間においては、

前記記憶回路に記憶された前記nビットのデジタル映像信号を繰り返し読み出して静止画像の表示を行うことにより、前記ソース信号線駆動回路を停止することを特徴とする電子装置の駆動方法。

【請求項21】請求項1乃至請求項16のいずれか1項に記載の前記電子装置を用いたことを特徴とする電子機器。

【請求項22】請求項17乃至請求項20のいずれか1項に記載の前記電子装置の駆動方法を用いたことを特徴とする電子機器。

【請求項23】請求項21もしくは請求項22のいずれか1項において、

前記電子機器とは、テレビ、パソコンコンピュータ、携帯端末、ビデオカメラ、ヘッドマウントディスプレイのいずれか1つであることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子装置およびその駆動方法に関し、特に、絶縁体上に作成される薄膜トランジスタを有するアクティブマトリクス型電子装置およびその駆動方法を用いたアクティブマトリクス型電子装置に関する。その中で特に、映像ソースとしてデジタル映像信号を用い、画素部に有機エレクトロルミネッセンス(EEL)素子を始めとする自発光素子を用いたアクティブマトリクス型電子装置およびその駆動方法を用いたアクティブマトリクス型電子装置に関する。

【0002】

【従来の技術】近年、ガラス基板等の絶縁体上に半導体薄膜を形成した電子装置、特に薄膜トランジスタ(以下TFTと表記する)を用いたアクティブマトリクス型電子装置の普及が顕著となっている。TFTを使用したアクティブマトリクス型電子装置は、マトリクス状に配置された数十万から数百万のTFTを有し、各画素の電荷を制御することによって画像の表示を行っている。

【0003】さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺部に、TFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル機器の表示部等に、電子装置は不可欠なデバイスとなってきている。

【0004】また、LCD(液晶ディスプレイ)に替わるフラットパネルディスプレイとして、有機EEL等の自

7
発光材料を応用した、電子装置が注目を集めており、活発な研究が行われている。

【0005】デジタル方式の電子装置の概略図の一例を、図13に示す。中央に画素部1307が配置されている。画素部1307には、ソース信号線、ゲート信号線に加え、EL素子に電流を供給するための、電流供給線1306が配置されている。画素部1307の上側には、ソース信号線を制御するための、ソース信号線駆動回路1301が配置されている。ソース信号線駆動回路1301は、シフトレジスタ回路1303、第1のラッチ回路1304、第2のラッチ回路1305等を有する。画素部1307の左右には、ゲート信号線を制御するための、ゲート信号線駆動回路1302が配置されている。なお、図13においては、ゲート信号線駆動回路1302は、画素部1307の左右両側に配置されているが、片側配置でも構わない。ただし、両側配置の方が、駆動効率、駆動信頼性の面から見て望ましい。

【0006】ソース信号線駆動回路1301に関しては、図14に示すような構成を有しており、シフトレジスタ回路(SR)1401、第1のラッチ回路(LAT1)1402、第2のラッチ回路(LAT2)1403等を有する。なお、図14では図示していないが、必要に応じてバッファ回路、レベルシフタ回路等を配置しても良い。

【0007】図13および図14を用いて動作について簡単に説明する。まず、シフトレジスタ回路1303(図14中、SRと表記)にクロック信号(S-CLK、S-CLKb)およびスタートパルス(S-SP)が入力され、順次パルスが出力される。続いて、それらのパルスは第1のラッチ回路1304(図14中、LAT1と表記)に入力され、同じく第1のラッチ回路1304に入力されたデジタル映像信号(Digital Data)をそれぞれ保持していく。第1のラッチ回路1304において、1水平周期、それぞれ1ビット分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路1304で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一斉に第2のラッチ回路1305(図14中、LAT2と表記)へと転送される。

【0008】一方、ゲート信号線側駆動回路1302において、シフトレジスタ(図示せず)に、ゲート側クロック信号(G-CLK)、ゲート側スタートパルス(G-SP)が入力される。シフトレジスタは、これら入力信号に基づいて、順次パルスを出力し、バッファ等(図示せず)を経由して、ゲート信号線選択パルスとして出力され、順次ゲート信号線を選択していく。

【0009】ソース信号線側駆動回路1301の第2のラッチ回路1305に転送されたデータは、ゲート信号線選択パルスによって選択されている列の画素に書き込まれる。

【0010】続いて、画素部1307の駆動について説明する。図19に、図13の画素部1307の一部を示す。図19(A)は、3×3画素のマトリクスを示している。点線枠1900にて囲まれた部分が1画素であり、図19(B)にその拡大図を示す。図19(B)において、1901は、画素に信号を書き込む時のスイッチング素子として機能するTFT(以下、スイッチング用TFTという)である。このスイッチング用TFT1901にはNチャネル型もしくはPチャネル型のいずれの極性を用いても良い。1902はEL素子1903に供給する電流を制御するための素子(電流制御素子)として機能するTFT(以下、EL駆動用TFTという)である。EL駆動用TFT1902にPチャネル型を用いる場合には、EL素子1903の陽極1909と電流供給線1907との間に配置する。別の構成方法として、EL駆動用TFT1902にNチャネル型を用いて、EL素子1903の陰極1910と陰極電極1908との間に配置したりすることも可能である。しかし、TFTの動作としてソース接地が良いこと、EL素子1903の製造上の制約などから、EL駆動用TFT1902にはPチャネル型を用い、EL素子1903の陽極1909と電流供給線1907との間にEL駆動用TFT1902を配置する方が一般的であり、多く採用されている。1904は、ソース信号線1906から入力される信号(電圧)を保持するための保持容量である。図19(B)での保持容量1904の一方の端子は、電流供給線1907に接続されているが、専用の配線を用いることもある。スイッチング用TFT1901のゲート電極は、ゲート信号線1905に、ソース領域は、ソース信号線1906に接続されている。

【0011】次に、同図19を参照して、アクティブマトリクス型電子装置の回路の動作について説明する。まず、ゲート信号線1905が選択されると、スイッチング用TFT1901のゲート電極に電圧が印加され、スイッチング用TFT1901が導通状態になる。すると、ソース信号線1906の信号(電圧)が保持容量1904に蓄積される。保持容量1904の電圧は、EL駆動用TFT1902のゲート・ソース間電圧V_{GS}となるため、保持容量1904の電圧に応じた電流がEL駆動用TFT1902とEL素子1903に流れる。その結果、EL素子1903が点灯する。

【0012】EL素子1903の輝度、つまりEL素子1903を流れる電流量は、EL駆動用TFT1902のV_{GS}によって制御出来る。V_{GS}は、保持容量1904の電圧であり、それはソース信号線1906に入力される信号(電圧)である。つまり、ソース信号線1906に入力される信号(電圧)を制御することによって、EL素子1903の輝度を制御する。最後に、ゲート信号線1905を非選択状態にして、スイッチング用TFT1901のゲートを閉じ、スイッチング用TFT190

1を非導通状態にする。その時、保持容量1904に蓄積された電荷は保持される。よって、EL駆動用TFT1902のV_{gs}は、そのまま保持され、V_{gs}に応じた電流が、EL駆動用TFT1902を経由してEL素子1903に流れ続ける。

【0013】EL素子の駆動等に関しては、SID99 Digest : P372：“Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT”、ASIA DISPLAY98 : P217：“High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver”、Euro Display99 Late News : P27：“3.8 Green OLED with Low Temperature Poly-Si TFT”などに報告されている。

【0014】次に、EL素子の階調表示の方式について述べる。アナログ階調方式は、EL駆動用TFTの電流特性のばらつきに弱いという欠点がある。つまり、EL駆動用TFTの電流特性が異なると、同じゲート電圧を印可しても、EL駆動用TFTとEL素子を流れる電流値が変わってしまう。その結果EL素子の明るさ、つまり階調が変わってしまう。

【0015】そこで、EL駆動用TFTの特性ばらつきの影響を小さくするために、デジタル階調方式と呼ぶ方式が考案されている。この方式は、EL駆動用TFTのゲート電圧の絶対値|V_{gs}|が点灯開始電圧以下の状態（ほとんど電流が流れない）と、輝度飽和電圧よりも大きい状態（最大に近い電流が流れている）、という2つの状態で階調を制御する方式である。この場合、EL駆動用TFTのゲート電圧の絶対値|V_{gs}|を輝度飽和電圧よりも十分大きくしておけば、EL駆動用TFTの電流特性がばらついても、電流値はI_{MAX}に近くなる。よって、EL駆動用TFTのばらつきの影響を非常に小さく出来る。以上のように、ON状態（最大電流が流れているため明るい）とOFF状態（電流が流れないと暗い）の2つの状態で階調を制御するため、この方式はデジタル階調方式と呼ばれている。

【0016】しかしながら、デジタル階調方式の場合、このままでは2階調しか表示できない。そこで、別的方式と組み合わせて、多階調化を図る技術が複数提案されている。

【0017】多階調化を図る方式の一つとして、時間階調方式がある。時間階調方式とは、EL素子が点灯している時間を制御して、その点灯時間の長短によって階調を出す方式である。つまり、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

【0018】図9を参照する。図9は、時間階調方式を用いた、回路の駆動タイミングについて簡単に示している。フレーム周波数を60[Hz]とし、時間階調方式によって3ビットの階調を得る例である。

【0019】図9(A)に示すように、1フレーム期間を、階調ビット数分のサブフレーム期間に分割する。ここでは3ビットであるので、3つのサブフレーム期間に分割している。1つのサブフレーム期間は、さらにアドレス期間(T_a)とサステイン(点灯)期間(T_s)に分けられる(図9(B))。SF₁でのサステイン期間をT_{s1}と呼ぶことにする。SF₂、SF₃の場合においても同様に、T_{s2}、T_{s3}と呼ぶことにする。アドレス期間は、1フレーム分の映像信号を画素に書き込む期間であるので、いずれのサブフレーム期間においても長さが等しい(図9(C))。サステイン期間は、ここではT_{s1}:T_{s2}:T_{s3}=2²:2¹:2⁰=4:2:1というように、2のべき乗の比を有する。

【0020】階調表示の方法としては、T_{s1}からT_{s3}までのサステイン(点灯)期間において、EL素子を点灯させるか点灯させないかのいずれかの状態に制御することにより、1フレーム期間内の総点灯時間の長短によって輝度を制御している。この例では、点灯するサステイン(点灯)期間の組み合わせにより、2³=8通りの点灯時間の長さを決定することができるため、8階調を表示できる。このように点灯時間の長短を利用して階調表現を行う。

【0021】さらに階調数を増やす場合は、1フレーム期間の分割数を増やしていくべきよい。1フレーム期間をn個のサブフレームに期間に分割した場合、サステイン(点灯)期間の長さの比率はT_{s1}:T_{s2}:……T_{s(n-1)}:T_{sn}=2⁽ⁿ⁻¹⁾:2⁽ⁿ⁻²⁾:……2¹:2⁰となり、2ⁿ通りの階調を表現することが可能となる。

【0022】

【発明が解決しようとする課題】一般的なアクティブマトリクス型電子装置においては、動画の表示をスムーズに行うため、前述の図9(A)に示したように、1秒間に60回前後、画面表示の更新が行われる。すなわち、1フレーム毎にデジタル映像信号を供給し、その都度画素への書き込みを行う必要がある。たとえ、映像が静止画であったとしても、1フレーム毎に同一の信号を供給しつづけなければならないため、駆動回路が連続して同じデジタル映像信号の繰り返し処理を行う必要がある。

【0023】静止画のデジタル映像信号を一旦、外部の記憶回路に書き込み、以後は1フレーム毎に外部の記憶回路から電子装置にデジタル映像信号を供給する方法もあるが、いずれの場合にも外部の記憶回路と駆動回路は動作し続ける必要があることに変わりはない。

【0024】特にモバイル機器においては、低消費電力化が大きく望まれている。さらに、このモバイル機器においては、静止画モードで使用されることが大部分を占めているにもかかわらず、前述のように外部回路、駆動回路などは静止画表示の際にも動作し続けているため、低消費電力化への足かせとなっている。

【0025】本発明は前述のような問題点を鑑見て、新規の回路を用いることにより、静止画の表示時における外部回路、信号線駆動回路などの消費電力を低減することを課題とする。

【0026】

【課題を解決するための手段】前述の課題を解決するために、本発明では次のような手段を用いた。

【0027】画素内に複数の記憶回路を配置し、画素毎にデジタル映像信号を記憶させる。静止画の場合、一度書き込みを行えば、それ以降、画素に書き込まれる情報は同様であるので、フレーム毎に信号の入力を行わなくとも、記憶回路に記憶されている信号を読み出すことによって静止画を継続的に表示することができる。すなわち、静止画を表示する際は、最低1フレーム分の信号の処理動作を行って以降は、外部回路、ソース信号線駆動回路などを停止させておくことが可能となり、それに伴って電力消費を大きく低減することが可能となる。

【0028】さらに、画素内に配置されている記憶回路の一部は不揮発性のものであり、一度この不揮発性の記憶回路に記憶したデジタル映像信号は、表示装置の電源を遮断した後も継続して記憶しておくことが出来る。よって、再度電源を投入した後に、改めてデジタル映像信号のサンプリングを行うことなく、不揮発性の記憶回路よりデジタル映像信号を読み出して静止画の表示が可能である。それに伴って電力消費を大きく低減することが可能となる。

【0029】

【発明の実施の形態】図2は、記憶回路を有する画素を用いた電子装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路201、第1のラッチ回路202、第2のラッチ回路203、ビット信号選択スイッチ204、画素205を有する。210は、ゲート信号線駆動回路あるいは外部から直接供給される信号が入力される信号線であり、画素の説明とともに後述する。

【0030】図1は、図2における画素205における回路構成を詳細に示したものである。この画素は、3ビットデジタル階調に対応したものであり、EL素子(EL)129、保持容量(Cs)127、揮発性の記憶回路(A1～A3およびB1～B3)、不揮発性の記憶回路(C1～C3)等を有している。101はソース信号線、102～104は書き込み用ゲート信号線、105～107は、読み出し用ゲート信号線、108～110は書き込み用TFT、111～113は読み出し用TFT、114～116、120～122は書き込み用記憶回路選択部、117～119、123～125は読み出し用記憶回路選択部、126は電流供給線、128はEL駆動用TFTである。

【0031】本発明の特徴は、画素が有する記憶回路の

中に、少なくともnビットのデジタル映像信号を1フレーム分記憶する不揮発性の記憶回路(図1中、C1～C3で表記)を含む点にある。その他の記憶回路(図1中、A1～A3、B1～B3で表記)に関しては、不揮発性の記憶回路との区別を明確とするため、ここではあえて揮発性の記憶回路と表記しているが、A1～A3、B1～B3を構成する記憶回路は必ずしも揮発性である必要はなく、不揮発性であっても良い。ただし、1フレーム期間内で書き込みや読み出しを行う必要があり、その書き込み時間や読み出し時間が十分に短い必要があるため、本発明の実施形態においては、SRAMやDRAM等の揮発性の記憶回路を用いている。

【0032】図3は、図1に示した本発明の表示装置におけるタイミングチャートである。表示装置は3ビットデジタル階調、VGAのものを対象としている。図1～図3を用いて、駆動方法について説明する。なお、各番号は、図1～図3のものをそのまま用いる(図番は省略する)。

【0033】図2および図3(A)(B)を参照する。図3(A)において、各フレーム期間を α 、 β 、 γ 、 δ と表記して説明する。まず、区間 α における回路動作について説明する。

【0034】従来のデジタル方式の駆動回路の場合と同様に、シフトレジスタ回路201にクロック信号(S-CLK、S-CLKb)およびスタートパルス(S-SP)が入力され、順次サンプリングパルスが outputされる。続いて、サンプリングパルスは第1のラッチ回路202(LAT1)に入力され、同じく第1のラッチ回路202に入力されたデジタル映像信号(Digital Data)をそれぞれ保持していく。この期間を、本明細書においてはドットデータサンプリング期間と表記する。1水平期間分のドットデータサンプリング期間は、図3(A)において1～480で示す各期間である。デジタル映像信号は3ビットであり、D1がMSB(Most Significant Bit)、D3がLSB(Least Significant Bit)である。第1のラッチ回路202において、1水平周期分のデジタル映像信号の保持が完了すると、帰線期間中に、第1のラッチ回路202で保持されているデジタル映像信号は、ラッチ信号(Latch Pulse)の入力に従い、一齊に第2のラッチ回路203(LAT2)へと転送される。

【0035】続いて、再びシフトレジスタ回路201から出力されるサンプリングパルスに従い、次水平周期分のデジタル映像信号の保持動作が行われる。

【0036】一方、第2のラッチ回路203に転送されたデジタル映像信号は、画素内に配置された記憶回路に書き込まれる。図3(B)に示すように、次列のドットデータサンプリング期間をI、IIおよびIIIと3分割し、第2のラッチ回路に保持されているデジタル映像信号をソース信号線に出力する。このとき、ビット信号選択ス

13

イッチ204によって、各ビットの信号が順番にソース信号線に出力されるように選択的に接続される。

【0037】期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTFT108が導通し、記憶回路選択部114が記憶回路A1を選択し、記憶回路A1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTFT109が導通し、記憶回路選択部115が記憶回路A2を選択し、記憶回路A2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTFT110が導通し、記憶回路選択部116が記憶回路A3を選択し、記憶回路A3にデジタル映像信号が書き込まれる。

【0038】以上で、1水平期間分のデジタル映像信号の処理が終了する。図3(B)の期間は、図3(A)において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路A1～A3に書き込まれる。

【0039】ところで、本発明の電子装置においては、3ビットのデジタル階調を、時間階調方式により表現する。時間階調方式とは、画素に印加する電圧によって輝度の制御を行う通常の方式と異なり、画素には2種類の電圧のみを印加してON、OFFの2状態を用い、点灯時間の差を利用して階調を得る方式である。時間階調方式においてnビットの階調表現を行う際には、その表示期間をn個の期間に分割し、各期間の長さの比を $2^{n-1} : 2^{n-2} : \dots : 2^0$ のように2のべき乗とし、どの期間で画素をONの状態にするかによって、点灯時間の長さに差を生じ、もって階調の表現を行う。

【0040】また、表示期間の長さを2のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

【0041】以上をふまえて、区間βにおける動作について説明する。最終段における記憶回路への書き込みが終了すると、1フレーム目の表示が行われる。図3(C)は、3ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに記憶回路A1～A3に記憶されている。Ts1は、第1ビットデータによる表示期間、Ts2は、第2ビットデータによる表示期間、Ts3は、第3ビットデータによる表示期間であり、各表示期間の長さは、Ts1 : Ts2 : Ts3 = 4 : 2 : 1となっている。

【0042】ここでは3ビットであるから、輝度は0～7までの8段階が得られる。Ts1～Ts3のいずれの期間においても表示が行われない場合には輝度0、全ての期間を用いて表示を行えば輝度7を得る。例えば、輝度5を表示したい場合には、Ts1とTs3において画素をONの状態とし、表示させればよい。

【0043】具体的に図を用いて説明する。Ts1においては、読み出し用ゲート信号線105にパルスが入力

14

されてTFT111が導通し、記憶回路選択部117が記憶回路A1を選択し、記憶回路A1に記憶されたデジタル映像信号にしたがってEL素子を点灯させる。続いて、Ts2においては、読み出し用ゲート信号線106にパルスが入力されてTFT112が導通し、記憶回路選択部118が記憶回路A2を選択し、記憶回路A2に記憶されたデジタル映像信号にしたがってEL素子を点灯させる。最後に、Ts3においては、読み出し用ゲート信号線107にパルスが入力されてTFT113が導通し、記憶回路選択部119が記憶回路A3を選択し、記憶回路A3に記憶されたデジタル映像信号によってEL素子を点灯させる。

【0044】以上のようにして、1フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第2のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く記憶回路への書き込み期間においては、もう一方の記憶回路を用いる。ただし、画素内に設けた揮発性の記憶回路が1フレーム分であるときは、先に書き込んだ揮発性の記憶回路に上書きする。

【0045】期間Iでは、書き込み用ゲート信号線102にパルスが入力されてTFT108が導通し、記憶回路選択部114が記憶回路B1を選択し、記憶回路B1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線103にパルスが入力されてTFT109が導通し、記憶回路選択部115が記憶回路B2を選択し、記憶回路B2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線104にパルスが入力されてTFT110が導通し、記憶回路選択部116が記憶回路B3を選択し、記憶回路B3にデジタル映像信号が書き込まれる。

【0046】続いて、区間γに入り、記憶回路B1～B3に記憶されたデジタル映像信号に従って2フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、1フレーム目の表示が終了した記憶回路A1～A3に再び記憶される。

【0047】その後、記憶回路A1～A3に記憶されたデジタル映像信号の表示が区間δで行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2フレーム目の表示が終了した記憶回路B1～B3に再び記憶される。

【0048】不揮発性の記憶回路C1～C3へのデジタル映像信号の書き込みは、一般的にSRAM等の揮発性の記憶回路への書き込みに比べて、非常に長い時間を必要とするため、一旦揮発性の記憶回路A1～A3もしくはB1～B3にデジタル映像信号を記憶させ、そこから不揮発性の記憶回路C1～C3へ書き込むという手順を踏むのが望ましい。図1においては、揮発性の記憶回路A1～A3もしくはB1～B3への書き込みが終了した

のち、読み出し用 T F T 1 1 1～1 1 3 が ON して映像表示を行うが、不揮発性の記憶回路への書き込みを行う際は、読み出し用 T F T 1 1 1～1 1 3 が OFF し、記憶回路選択部 1 1 7～1 1 9 が、不揮発性の記憶回路 C 1～C 3 を選択し、書き込みを行う。この期間中は、画面上には表示が行われないが、書き込み時間は数 [m s] 程度～1 0 0 [m s] 程度なのでほとんど問題とはならない。

【0049】また、電源投入時等に不揮発性の記憶回路 C 1～C 3 に記憶されたデジタル映像信号を読み出して映像表示を行う場合にも、一旦揮発性の記憶回路 A 1～A 3 もしくは B 1～B 3 の方に書き込んで、以後のフレーム期間では、揮発性の記憶回路 A 1～A 3 もしくは B 1～B 3 から読み出すようになると良い。

【0050】以上の動作を繰り返して、映像の表示が継続的に行われる。ここで、静止画を表示する場合には、最初の動作で記憶回路 A 1～A 3 にいったんデジタル映像信号が記憶されてからは、各フレーム期間で記憶回路 A 1～A 3 に記憶されたデジタル映像信号を反復して読み出せば良い。したがってこの静止画が表示されている期間中は、外部回路、ソース信号線駆動回路などの駆動を停止させることが出来る。

【0051】また、画素部に配置されている不揮発性の記憶回路 C 1～C 3 にデジタル映像信号を書き込んでおくことで、表示装置の電源を遮断した後も継続して記憶しておくことができる。よって、再度電源を入れた後に、改めてデジタル映像信号のサンプリングを行うことなく、静止画の表示が可能である。

【0052】さらに、記憶回路へのデジタル映像信号の書き込み、あるいは記憶回路からのデジタル映像信号の読み出しは、ゲート信号線 1 本単位で行うことが可能である。すなわち、ソース信号線駆動回路およびゲート信号線駆動回路を短期間のみ動作させ、画面の一部のみを書き換えるなどといった表示方法をとることも出来る。この場合は、ゲート信号線駆動回路として、デコーダを使うのが望ましい。デコーダを使用する場合には、特開平8-101609に開示された回路を用いればよく、図20に一例を示す。また、ソース信号線駆動回路にもデコーダを用いて部分書き換えを行うことも可能である。

【0053】また、本実施形態においては、1 画素内に A 1～A 3 および B 1～B 3 の揮発性の記憶回路を有し、3 ビットのデジタル映像信号を 2 フレーム分だけ記憶する機能を有しているが、本発明はこの数に限定しない。つまり、n ビットのデジタル映像信号を m フレーム分だけ記憶するには、1 画素内に n × m 個の記憶回路を有していれば良い。

【0054】同様に、本実施形態においては、1 画素内に C 1～C 3 の不揮発性の記憶回路を有し、3 ビットのデジタル映像信号を 1 フレーム分だけ記憶する機能を有

しているが、本発明はこの数に限定しない。つまり、n ビットのデジタル映像信号を、電源を遮断した後も k フレーム分だけ記憶しておくには、1 画素内に n × k 個の不揮発性の記憶回路を有していれば良い。

【0055】以上のように、画素内に実装された記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で記憶回路に記憶されたデジタル映像信号を反復して用い、外部回路、ソース信号線駆動回路などを駆動することなく、継続的に静止画表示が可能となる。よって、電子装置の低消費電力化に大きく貢献することが出来る。

【0056】また、ソース信号線駆動回路に関しては、ビット数に応じて増加するラッチ回路等の配置の問題から、必ずしも絶縁体上に一体形成する必要はなく、その一部あるいは全部を外付けで構成しても良い。

【0057】さらに、本実施形態にて示した、電子装置のソース信号線駆動回路においては、ビット数に応じたラッチ回路を配置しているが、1 ビット分のみ配置して動作させることも可能である。この場合、上位ビットから下位ビットのデジタル映像信号を直列にラッチ回路に入力すれば良い。

【0058】

【実施例】以下に本発明の実施例について記述する。

【0059】【実施例 1】本実施例においては、実施形態において示した回路における記憶回路選択部を、具体的にトランジスタ等を用いて構成し、その動作について説明する。

【0060】図4は、図1に示した画素と同様のもので、記憶回路選択部周辺を実際に回路で構成した例である。図4 (A) 中、揮発性の記憶回路 A 1～A 3 および B 1～B 3 の各々に、書き込み選択用 T F T 4 2 0、4 2 2、4 2 4、4 2 6、4 2 8、4 3 0 と、読み出し選択用 T F T 4 2 1、4 2 3、4 2 5、4 2 7、4 2 9、4 3 1 とを設け、記憶回路選択信号線 4 1 4～4 1 9 をもって制御する。不揮発性の記憶回路 C 1～C 3 の各々は、書き込み選択用 T F T 4 3 5、4 3 7、4 3 9 と、読み出し選択用 T F T 4 3 6、4 3 8、4 4 0 とを設け、記憶回路選択信号線 4 3 2～4 3 4、4 4 1～4 4 3 をもって制御する。本実施例に示した画素は、揮発性の記憶回路 A 1～A 3 および B 1～B 3 において、3 ビットのデジタル映像信号を 2 フレーム分記憶し、さらに不揮発性の記憶回路 C 1～C 3 によって、3 ビットのデジタル映像信号を 1 フレーム分記憶するものである。

【0061】本実施例にて図4 (A) で示した回路の駆動は、実施形態にて図3を用いて示したタイミングチャートに従って駆動することが出来る。図3、図4 (A) を用いて、記憶回路選択部の実際の駆動方法を加えて、回路動作について説明する。なお、各番号は、図3、図4 (A) のものをそのまま用いる(図番は省略する)。

【0062】図3 (A) (B) を参照する。図3 (A)

において、各フレーム期間を α 、 β 、 γ 、 δ と表記して説明する。まず、区間 α における回路動作について説明する。

【0063】シフトレジスタ回路から第2のラッチ回路までの駆動方法に関しては実施形態にて示したものと同様であるのでそれに従う。

【0064】まず、記憶回路選択信号線414～416にパルスが入力されて書き込み選択用TFT420、424、428が導通し、記憶回路A1～A3への書き込みが可能な状態となる。期間Iでは、書き込み用ゲート信号線402にパルスが入力されてTFT408が導通し、記憶回路A1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線403にパルスが入力されてTFT409が導通し、記憶回路A2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線404にパルスが入力されてTFT410が導通し、記憶回路A3にデジタル映像信号が書き込まれる。

【0065】以上で、1水平期間分のデジタル映像信号の処理が終了する。図3(B)の期間は、図3(A)において※印で示された期間である。以上の動作を最終段まで行うことにより、1フレーム分のデジタル映像信号が記憶回路A1～A3に書き込まれる。

【0066】続いて、区間 β における動作について説明する。最終段における記憶回路への書き込みが終了すると、1フレーム目の表示が行われる。図3(C)は、3ビットの時間階調方式について説明する図である。今、デジタル映像信号は、ビットごとに記憶回路A1～A3に記憶されている。Ts1は、第1ビットデータによる表示期間、Ts2は、第2ビットデータによる表示期間、Ts3は、第3ビットデータによる表示期間であり、各表示期間の長さは、Ts1 : Ts2 : Ts3 = 4 : 2 : 1となっている。

【0067】ただし、表示期間の長さを2のべき乗以外の区分によって階調表示を行うようにしても表示は可能である。

【0068】ここでは3ビットであるから、輝度は0～7までの8段階が得られる。Ts1～Ts3のいずれの期間においても表示が行われない場合には輝度0、全ての期間を用いて表示を行えば輝度7を得る。例えば、輝度5を表示したい場合には、Ts1とTs3において画素をONの状態とし、表示させればよい。

【0069】具体的に図を用いて説明する。記憶回路への書き込み動作が終了した後、表示期間に移る際に、記憶回路選択信号線414～416に入力されていたパルスが終了して書き込み用TFT420、422、424は非導通状態となり、同時に記憶回路選択信号線417～419にパルスが入力され、読み出し用TFT421、425、429が導通して、記憶回路A1～A3からの読み出しが可能な状態となる。Ts1においては、

読み出し用ゲート信号線405にパルスが入力されてTFT411が導通し、記憶回路A1に記憶されたデジタル映像信号にしたがってEL素子446が点灯する。続いて、Ts2においては、読み出し用ゲート信号線406にパルスが入力されてTFT412が導通し、記憶回路A2に記憶されたデジタル映像信号にしたがってEL素子446が点灯する。最後に、Ts3においては、読み出し用ゲート信号線407にパルスが入力されてTFT413が導通し、記憶回路A3に記憶されたデジタル映像信号によってEL素子446が点灯する。

【0070】以上のようにして、1フレーム期間分の表示が行われる。一方、駆動回路側では、同時に次のフレーム期間のデジタル映像信号の処理が行われている。第2のラッチ回路へのデジタル映像信号の転送までは前述と同様の手順である。続く記憶回路への書き込み期間においては、記憶回路B1～B3を用いる。

【0071】なお、揮発性の記憶回路A1～A3に信号が書き込まれる期間においては、書き込み選択用TFT420、424、428が導通し、揮発性の記憶回路A1～A3に書き込みが可能な状態となっているが、同時に読み出し選択用TFT423、427、431も導通し、揮発性の記憶回路B1～B3からの読み出しが可能な状態となっている。逆に、揮発性の記憶回路B1～B3に信号が書き込まれる期間においては、書き込み選択用TFT422、426、430が導通し、揮発性の記憶回路B1～B3に書き込みが可能な状態となっているが、同時に読み出し選択用TFT421、425、429も導通し、揮発性の記憶回路A1～A3からの読み出しが可能な状態となっている。すなわち、本実施例で示す画素においては、揮発性の記憶回路A1～A3およびB1～B3は、あるフレーム期間において書き込みと読み出しが交互に行われる。

【0072】期間Iでは、書き込み用ゲート信号線402にパルスが入力されて書き込み用TFT408が導通し、記憶回路B1にデジタル映像信号が書き込まれる。続いて、期間IIでは、書き込み用ゲート信号線403にパルスが入力されて書き込み用TFT409が導通し、記憶回路B2にデジタル映像信号が書き込まれる。最後に、期間IIIでは、書き込み用ゲート信号線404にパルスが入力されて書き込み用TFT410が導通し、記憶回路B3にデジタル映像信号が書き込まれる。

【0073】続いて、区間 γ に入り、記憶回路B1～B3に記憶されたデジタル映像信号に従って2フレーム目の表示が行われる。同時に、次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、1フレーム目の表示が終了した記憶回路A1～A3に再び記憶される。

【0074】その後、記憶回路A1～A3に記憶されたデジタル映像信号の表示が区間 δ で行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。

このデジタル映像信号は、2フレーム目の表示が終了した記憶回路B1～B3に再び記憶される。

【0075】不揮発性の記憶回路C1～C3におけるデジタル映像信号の書き込み、読み出し動作については、実施形態と同様である。

【0076】以上の手順を繰り返すことにより、映像の表示を行う。なお、静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。このような方法により、静止画の表示中における消費電力を大きく低減することが出来る。さらに、不揮発性の記憶回路を用いてデジタル映像信号を記憶することによって、表示装置の電源を遮断した後も、静止画のデジタル映像信号を記憶することが可能であり、再度電源を投入した後も、静止画の表示を行うことが出来る。

【0077】[実施例2]本実施例においては、画素部の記憶回路への書き込みを点順次で行うことにより、ソース信号線駆動回路の第2のラッチ回路を省略した例について記す。

【0078】図5は、記憶回路を有する画素を用いた電子装置における、ソース信号線駆動回路および一部の画素の構成を示したものである。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路501、ラッチ回路502、画素503を有する。510は、ゲート信号線駆動回路あるいは外部から直接供給される信号が入力される信号線であり、画素の説明とともに後述する。

【0079】図6は、図5に示した画素503の回路構成の詳細図である。実施例1と同様、3ビットデジタル階調に対応したものであり、EL素子646、保持容量644、揮発性の記憶回路(A1～A3およびB1～B3)、不揮発性の記憶回路(C1～C3)等を有している。601は第1ビット(MSB)信号用ソース信号線、602は第2ビット信号用ソース信号線、603は第3ビット(LSB)信号用ソース信号線、604は書き込み用ゲート信号線、605～607は、読み出し用ゲート信号線、608～610は書き込み用TFT、611～613は読み出し用TFTである。記憶回路選択部は、書き込み選択用TFT620、622、624、626、628、630および読み出し選択用TFT621、623、625、627、629、631等を用いて構成される。632～634および641～643は、記憶回路選択信号線である。不揮発性の記憶回路C1～C3に関しては、記憶回路選択部は、書き込み選択用TFT636、638、640および読み出し選択用TFT635、637、639等を用いて構成される。電流供給線635、保持容量638、EL駆動用TFT645、EL素子637は実施例1と同様のもので良

い。

【0080】図7は、本実施例にて示した回路の駆動に関するタイミングチャートである。図5、図6および図7を用いて説明する。

【0081】シフトレジスタ回路501からラッチ回路(LAT1)502までの動作は実施形態および実施例1と同様に行われる。図7(B)に示すように、第1段目でのラッチ動作が終了すると、直ちに画素内に有する揮発性の記憶回路への書き込みを開始する。書き込み用ゲート信号線604にパルスが入力され、書き込み用TFT608～610が導通し、さらに記憶回路選択信号線626にパルスが入力されて書き込み選択用TFT614、618、622が導通して、揮発性の記憶回路A1～A3への書き込みが可能な状態となる。ラッチ回路502に保持されたビット毎のデジタル映像信号は、3本のソース信号線601～603を経由して、同時に書き込まれる。

【0082】第1段目でラッチ回路に保持されたデジタル映像信号が、揮発性の記憶回路へ書き込まれているとき、次段では続くサンプリングパルスに従って、ラッチ回路においてデジタル映像信号の保持が行われている。このようにして、順次揮発性の記憶回路への書き込みが行われていく。

【0083】以上を1水平期間(図7(A)中、※※で示す期間)内に行い、ゲート信号線の本数分が繰り返されて、区間 α における1フレーム分のデジタル映像信号の揮発性の記憶回路への書き込みが終了すると、区間 β で示される、1フレーム目の表示期間に移る。書き込み用ゲート信号線604に入力されていたパルスが停止

し、さらに記憶回路選択信号線614～616が停止して書き込み選択用TFT620、624、628が非導通となり、代わって記憶回路選択信号線617～619にパルスが入力されて読み出し選択用TFT621、625、629が導通し、揮発性の記憶回路A1～A3からの読み出しが可能な状態となる。

【0084】続いて、実施例1で示した時間階調方式により、図7(C)に示すように、表示期間Ts1では、読み出し用ゲート信号線605にパルスが入力されて読み出し用TFT611が導通し、揮発性の記憶回路A1に書き込まれているデジタル映像信号により、表示が行われる。続いてTs2では、読み出し用ゲート信号線606にパルスが入力されて読み出し用TFT612が導通し、揮発性の記憶回路A2に書き込まれているデジタル映像信号により、表示が行われる。またTs3では、読み出し用ゲート信号線607にパルスが入力されて読み出し用TFT613が導通し、揮発性の記憶回路A3に書き込まれているデジタル映像信号により、表示が行われる。

【0085】以上で、1フレーム目の表示期間が完了する。区間 β では、同時に次のフレームにおけるデジタル

映像信号の処理が行われる。ラッチ回路502へのデジタル映像信号の保持までは前述と同様の手順である。続く揮発性の記憶回路への書き込み期間においては、揮発性の記憶回路B1～B3を用いる。

【0086】なお、揮発性の記憶回路A1～A3に信号が書き込まれる期間においては、書き込み選択用TFT620、624、628が導通し、揮発性の記憶回路A1～A3に書き込みが可能な状態となっているが、同時に読み出し選択用TFT623、627、631も導通し、揮発性の記憶回路B1～B3からの読み出しが可能な状態となっている。逆に、揮発性の記憶回路B1～B3に信号が書き込まれる期間においては、書き込み選択用TFT622、626、630が導通し、揮発性の記憶回路B1～B3に書き込みが可能な状態となっているが、同時に読み出し選択用TFT621、625、629も導通し、揮発性の記憶回路A1～A3からの読み出しが可能な状態となっている。すなわち、本実施例で示す画素においては、揮発性の記憶回路A1～A3およびB1～B3は、あるフレーム期間において書き込みと読み出しが交互に行われる。

【0087】記憶回路B1～B3への書き込み動作、読み出し動作は揮発性の記憶回路A1～A3の場合と同様である。揮発性の記憶回路B1～B3への書き込みが終了すると、区間γに入り、2フレーム目の表示期間に移る。さらにこの区間では、次のフレームにおけるデジタル映像信号の処理が行われる。ラッチ回路502へのデジタル映像信号の保持までは前述と同様の手順である。続く揮発性の記憶回路への書き込み期間においては、再び揮発性の記憶回路A1～A3を用いる。

【0088】その後、揮発性の記憶回路A1～A3に記憶されたデジタル映像信号の表示が区間δで行われ、同時に次のフレーム期間のデジタル映像信号の処理が開始される。このデジタル映像信号は、2フレーム目の表示が終了した揮発性の記憶回路B1～B3に再び記憶される。

【0089】不揮発性の記憶回路C1～C3におけるデジタル映像信号の書き込み、読み出し動作については、実施形態と同様である。

【0090】以上の手順を繰り返すことにより、映像の表示を行う。静止画の表示を行う場合には、あるフレームのデジタル映像信号の、記憶回路への書き込みが終了したら、ソース信号線駆動回路を停止させ、同じ記憶回路に書き込まれている信号を毎フレームで読み込んで表示を行う。さらに、一度電源を遮断し、再度電源を投入した後に静止画を表示するときには、不揮発性の記憶回路C1～C3に記憶されているデジタル映像信号に基づき表示を行う。このような方法により、静止画の表示における消費電力を大きく低減することが出来る。さらに、実施例1にて示した回路と比較すると、ラッチ回路の数を1/2とすることが出来、回路配置の省スペース

化による装置全体の小型化に貢献出来る。

【0091】[実施例3]本実施例においては、実施例2にて示した、第2のラッチ回路を省略した電子装置の回路構成を応用し、線順次駆動により画素内の記憶回路への書き込みを行う方法を用いた電子装置の例について記す。

【0092】図17は、本実施例にて示す電子装置のソース信号線駆動回路の回路構成例を示している。この回路は、3ビットデジタル階調信号に対応したものであり、シフトレジスタ回路1701、ラッチ回路1702、スイッチ回路1703、画素1704を有する。1701は、ゲート信号線駆動回路あるいは外部から直接供給される信号が入力される信号線である。画素の回路構成に関しては、実施例2のものと同様で良いので、図6をそのまま参照する。

【0093】図18は、本実施例にて示した回路の駆動に関するタイミングチャートである。図6、図17および図18を用いて説明する。

【0094】シフトレジスタ回路1701からサンプリングパルスが outputされ、ラッチ回路1702で、サンプリングパルスに従ってデジタル映像信号を保持するまでの動作は、実施例1および実施例2と同様である。本実施例では、ラッチ回路1702と画素1704内の揮発性の記憶回路との間に、スイッチ回路1703を有しているため、ラッチ回路でのデジタル映像信号の保持が完了しても、直ちに揮発性の記憶回路への書き込みが開始されない。ドットデータサンプリング期間が終了するまでの間は、スイッチ回路1703は閉じたままであり、その間、ラッチ回路ではデジタル映像信号が保持され続ける。

【0095】図18(B)に示すように、1水平期間分のデジタル映像信号の保持が完了すると、その後の帰線期間中にラッチ信号(Latch Pulse)が入力されてスイッチ回路1703が一齊に開き、ラッチ回路1702で保持されていたデジタル映像信号は一齊に画素1704内の揮発性の記憶回路に書き込まれる。このときの書き込み動作に関わる、画素1704内の動作、さらに次のフレーム期間における表示の再の読み出し動作に関わる、画素1704内の動作については、実施例2と同様で良いので、ここでは説明を省略する。同様に、不揮発性の記憶回路への書き込み方法およびタイミングに関しては、実施例2に従うので、ここでは説明を省略する。

【0096】以上のようにして、ラッチ回路を省略したソース信号線駆動回路においても、線順次の書き込み駆動を容易に行うことが出来る。

【0097】[実施例4]本実施例では、本発明の電子装置の画素部とその周辺に設けられる駆動回路部(ソース信号線側駆動回路、ゲート信号線側駆動回路、画素選択信号線側駆動回路)のTFTを同時に作製する方法につ

いて説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0098】まず、図10(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミニウムホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10~200[nm](好ましくは50~100[nm])形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50~200[nm](好ましくは100~150[nm])の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0099】島状半導体層5003~5007は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003~5007の厚さは25~80[nm](好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコングルマニウム(SiGe)合金などで形成すると良い。

【0100】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm²](代表的には200~300[mJ/cm²])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10[kHz]とし、レーザーエネルギー密度を300~600[mJ/cm²](代表的には350~500[mJ/cm²])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を80~98[%]として行う。

【0101】次いで、島状半導体層5003~5007を覆う第1のゲート絶縁膜5008を形成する。第1のゲート絶縁膜5008はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、第1のゲ

ト絶縁膜はこのような酸化窒化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40[Pa]、基板温度300~400[°C]とし、高周波(13.56[MHz])、電力密度0.5~0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0102】そして、第1のゲート絶縁膜5008上にゲート電極を形成するための第1の導電膜5009と第2の導電膜5010とを形成する。本実施例では、第1の導電膜5009をTaで50~100[nm]の厚さに形成し、第2の導電膜5010をWで100~300[nm]の厚さに形成する。

【0103】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20[μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180[μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくとα相のTa膜を容易に得ることが出来る。

【0104】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないよう十分配慮してW膜を形成することにより、抵抗率9~20[μΩcm]を実現することが出来る。

【0105】なお、本実施例では、第1の導電膜5009をTa、第2の導電膜5010をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5009を窒化タンタル(TaN)で形成し、第

2の導電膜5010をWとする組み合わせ、第1の導電膜5009を窒化タンタル(TaN)で形成し、第2の導電膜5010をAlとする組み合わせ、第1の導電膜5009を窒化タンタル(TaN)で形成し、第2の導電膜5010をCuとする組み合わせが挙げられる。

【0106】次に、レジストによるマスク5011を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTaN膜とも同程度にエッチングされる。

【0107】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5012~5017(第1の導電層5012a~5017aと第2の導電層5012b~5017b)を形成する。このとき、第1のゲート絶縁膜5008においては、第1の形状の導電層5012~5017で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。(図10(B))

【0108】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~100[keV]として行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(A_s)を用いるが、ここではリン(P)を用いる。この場合、導電層5012、5013および5015~5017がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5018~5022が形成される。第1の不純物領域5018~5022には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でN型を付与する不純物元素を添加する。(図10(B))

【0109】次に、図10(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行

う。エッティングガスにCF₄とCl₂とO₂とを用い、W膜を選択的にエッティングする。この時、第2のエッティング処理により第2の形状の導電層5023~5028(第1の導電層5023a~5028aと第2の導電層5023b~5028b)を形成する。このとき、第1のゲート絶縁膜5008においては、第2の形状の導電層5023~5028で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0110】W膜やTaN膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaNのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWC₁₅、TaF₅、TaC₁₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTaN膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaNはFが増大しても相対的にエッチング速度の増加は少ない。また、TaNはWに比較して酸化されやすいので、O₂を添加することでTaNの表面が酸化される。TaNの酸化物はフッ素や塩素と反応しないためさらにTaN膜のエッチング速度は低下する。従って、W膜とTaN膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTaN膜よりも大きくすることが可能となる。

【0111】そして、図11(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーズ量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120[keV]とし、 1×10^{13} [atoms/cm²]のドーズ量で行い、図10(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5023~5028を不純物元素に対するマスクとして用い、第1の導電層5023a~5028aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5029~5033が形成される。この第3の不純物領域5029~5033に添加されたリン(P)の濃度は、第1の導電層5023a~5028aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5023a~5028aのテーパー部と重なる半導体層において、第1の導電層5023a~5028aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0112】図11(B)に示すように第3のエッチング処理を行う。エッティングガスにCHF₆を用い、反応

性イオンエッティング法（RIE法）を用いて行う。第3のエッティング処理により、第1の導電層5023a～5028aのテーパー部を部分的にエッティングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッティング処理によって、第3の形状の導電層5034～5039（第1の導電層5034a～5039aと第2の導電層5034b～5039b）を形成する。このとき、第1のゲート絶縁膜5008においては、第3の形状の導電層5034～5039で覆われない領域はさらに20～50[nm]程度エッティングされ薄くなつた領域が形成される。

【0113】第3のエッティング処理によって、第3の不純物領域5029～5033においては、第1の導電層5034a～5039aと重なる第3の不純物領域5029a～5033aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5029b～5033bとが形成される。

【0114】そして、図11（C）に示すように、Pチャネル型TFTを形成する島状半導体層5004に第1の導電型とは逆の導電型の第4の不純物領域5041を形成する。第3の形状の導電層5038bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005、5006、5007および配線部5036はレジストマスク5040で全面を被覆しておく。不純物領域5041にはそれぞれ異なる濃度でリンが添加されているが、ジボラン（B₂H₆）を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が2×10²⁰～2×10²¹[atoms/cm³]となるようにする。

【0115】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5034、5035、5037、5039がゲート電極として機能する。島状半導体層と重なる第3の形状の導電層5038が、不揮発性の記憶回路におけるメモリTFTのフローティングゲートとして機能する。また、5036は島状のソース信号線として機能する。

【0116】レジストマスク5040を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400～700[°C]、代表的には500～600[°C]で行うものであり、本実施例では500[°C]で4時間の熱処理を行う。ただし、第3の形状の導電層5034～5039に用いた配線材料が熱に弱い場合には、配線等を保護するため

層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0117】さらに、3～100[%]の水素を含む雰囲気中で、300～450[°C]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダンギングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0118】続いて、図12（A）に示すように、第2のゲート絶縁膜5042を形成し、第3の導電膜を形成した後、パターニングによって、メモリTFTのコントロールゲート5043を形成する。

【0119】その上に有機絶縁物材料から成る第1の層間絶縁膜5056を形成した後、コンタクトホールを形成し、各配線（接続配線、信号線を含む）5045～5053をパターニング形成する。

【0120】続いて、第2の層間絶縁膜5054を形成し、EL駆動用TFTのドレイン配線5052部分にコンタクトホールを形成して、画素電極5063をパターニング形成する。なお、この段階で、バンク5056を形成しておく。

【0121】第2の層間絶縁膜5054としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜5054は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。

【0122】コンタクトホールの形成は、ドライエッティングまたはウエットエッティングを用い、N型の不純物領域またはP型の不純物領域に達するコンタクトホール、配線に達するコンタクトホール、電源供給線に達するコンタクトホール（図示せず）、およびゲート電極に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0123】また、配線（接続配線、信号線を含む）5045～5053として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを使いる。勿論、他の導電膜を用いても良い。

【0124】また、本実施例では、画素電極5055としてMgAg膜を110[nm]の厚さに形成し、パターニングを行った。（図12（A））

【0125】次に、図12（B）に示すように、EL層5057および透明電極5058を、真空蒸着法を用いて大気開放しないで連続形成する。なお、EL層5057の膜厚は80～200[nm]（典型的には100～120[nm]）、透明電極5058は、ITO膜にて形成し

た。

【0126】なお、EL層5057としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造をEL層とすれば良い。

【0127】最後に、窒化珪素膜であるパッシベーション膜5059を300[nm]の厚さに形成する。パッシベーション膜5059を形成しておくことで、EL層5057を水分等から保護することができ、EL素子の信頼性をさらに高めることが出来る。

【0128】こうして図12(B)に示すような構造のELディスプレイパネルが完成する。なお、本実施例におけるELディスプレイパネルの作成工程においては、回路の構成および工程の関係上、ゲート電極を形成している材料であるTa、Wによってソース信号線を形成し、ソース、ドレイン電極を形成している配線材料であるAlによってゲート信号線を形成しているが、異なる材料を用いても良い。

【0129】なお、上記の工程により作成されるアクティブマトリクス型電子装置における TFT はトップゲート構造をとっているが、ボトムゲート構造の TFT やその他の構造の TFT に対しても本実施例は容易に適用され得る。

【0130】また、本実施例においては、ガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用することによっても実施が可能である。

【0131】ところで、本実施例のELディスプレイパネルは、画素部だけでなく駆動回路部にも最適な構造の TFT を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0132】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有する TFT を、駆動回路部を形成するCMOS回路のNチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスマッショングートなどが含まれる。

【0133】本実施例の場合、Nチャネル型TFTの活性層は、ソース領域、ドレイン領域、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域(Lov領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域(LOFF領域)およびチャネル形成領域を含む。

【0134】また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならない

ので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0135】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割を入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスマッショングートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、Lov領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスマッショングートなどが挙げられる。

【0136】なお、実際には図12(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとEL素子の信頼性が向上する。

【0137】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では電子装置という。

【0138】また、本実施例で示す工程に従えば、電子装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0139】本実施例において説明した構造を有するEL素子の場合、EL層5057で発生した光は、矢印で示されるようにTFTが形成された基板の逆方向に向かって放射されるため、画素部を構成する素子数が増えた場合にも、開口率の低下を心配する必要がないため、本発明への適用は特に有効である。また、EL層5057で発生した光を、本実施例とは逆の方向に向かって放射されるようにするには、EL素子の両極における画素電極5055および透明電極5058を逆に用いれば良い。つまり、画素電極5055に透明電極を用い、陰極電極5058として、MgAg電極を用いれば良い。

【0140】[実施例5]実施例1～実施例3にて示した、本発明の電子装置の画素部においては、揮発性の記憶回路としてスタティック型メモリ(Static RAM:SRAM)を用いて構成していたが、揮発性の記憶回路は

S R A Mのみに限定されない。本発明の電子装置の画素部に適用可能な揮発性の記憶回路には、他にダイナミック型メモリ (Dynamic RAM : D R A M) 等があげられる。本実施例においては、それらの揮発性の記憶回路を用いて回路を構成する例を紹介する。

【0141】図8 (A) は、画素に配置された揮発性の記憶回路A 1～A 3およびB 1～B 3にD R A Mを用いた例を示している。基本的な構成は、実施例1で示した回路と同様である。揮発性の記憶回路A 1～A 3およびB 1～B 3に用いたD R A Mに関しては、一般的な構成のものを用いれば良い。本実施例では比較的構成の簡単な、図8 (B) に示すようなインバータおよび容量によって構成したもの用いて図示している。

【0142】ソース信号線駆動回路の動作は、実施例1と同様である。ここで、S R A Mと異なり、D R A Mの場合、一定期間ごとに再書き込み動作（以後、この動作をリフレッシュと表記する）が必要であるため、リフレッシュ用T F T 8 0 1～8 0 3を有する。リフレッシュは、静止画を表示している期間（揮発性の記憶回路に記憶されたデジタル映像信号を繰り返し読み出して表示を行っている期間）のあるタイミングで、リフレッシュ用T F T 8 0 1～8 0 3をそれぞれ導通させ、画素部における電荷を、揮発性の記憶回路側にフィードバックすることによって行われる。

【0143】さらに、特に図示しないが、他形式の揮発性の記憶回路として、強誘電体メモリ (Ferroelectric RAM : F e R A M) を利用して本発明の電子装置の画素部を構成することも可能である。F e R A Mは、S R A MやD R A Mと同等の書き込み速度を有する不揮発性メモリであり、その書き込み電圧が低い等の特徴を利用して、本発明の電子装置のさらなる低消費電力化が可能である。またその他、フラッシュメモリ等によっても、構成は可能である。

【0144】[実施例6]本発明を適用して作成した駆動回路を用いたアクティブマトリクス型表示装置には様々な用途がある。本実施例では、本発明を適用して作成した駆動回路を用いた表示装置を組み込んだ半導体装置について説明する。

【0145】このような表示装置には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ等が挙げられる。それらの一例を図15および図16に示す。

【0146】図15 (A) は携帯電話であり、本体2 6 0 1、音声出力部2 6 0 2、音声入力部2 6 0 3、表示部2 6 0 4、操作スイッチ2 6 0 5、アンテナ2 6 0 6から構成されている。本発明は表示部2 6 0 4に適用することができる。

【0147】図15 (B) はビデオカメラであり、本体2 6 1 1、表示部2 6 1 2、音声入力部2 6 1 3、操作

スイッチ2 6 1 4、バッテリー2 6 1 5、受像部2 6 1 6から成っている。本発明は表示部2 6 1 2に適用することができる。

【0148】図15 (C) はモバイルコンピュータあるいは携帯型情報端末であり、本体2 6 2 1、カメラ部2 6 2 2、受像部2 6 2 3、操作スイッチ2 6 2 4、表示部2 6 2 5で構成されている。本発明は表示部2 6 2 5に適用することができる。

【0149】図15 (D) はヘッドマウントディスプレイであり、本体2 6 3 1、表示部2 6 3 2、アーム部2 6 3 3で構成される。本発明は表示部2 6 3 2に適用することができる。

【0150】図15 (E) はテレビであり、本体2 6 4 1、スピーカー2 6 4 2、表示部2 6 4 3、受信装置2 6 4 4、増幅装置2 6 4 5等で構成される。本発明は表示部2 6 4 3に適用することができる。

【0151】図15 (F) は携帯書籍であり、本体2 6 5 1、表示部2 6 5 2、記憶媒体2 6 5 3、操作スイッチ2 6 5 4、アンテナ2 6 5 5から構成されており、ミニディスク (MD) やDVD (D i g i t a l V e r s a t i l e D i s c) に記憶されたデータや、アンテナで受信したデータを表示するものである。本発明は表示部2 6 5 2に適用することができる。

【0152】図16 (A) はパソコンコンピュータであり、本体2 7 0 1、画像入力部2 7 0 2、表示部2 7 0 3、キーボード2 7 0 4で構成される。本発明は表示部2 7 0 3に適用することができる。

【0153】図16 (B) はプログラムを記録した記録媒体を用いるプレーヤーであり、本体2 7 1 1、表示部2 7 1 2、スピーカー部2 7 1 3、記録媒体2 7 1 4、操作スイッチ2 7 1 5で構成される。なお、この装置は記録媒体としてDVD (D i g i t a l V e r s a t i l e D i s c) 、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2 6 1 2に適用することができる。

【0154】図16 (C) はデジタルカメラであり、本体2 7 2 1、表示部2 7 2 2、接眼部2 7 2 3、操作スイッチ2 7 2 4、受像部（図示しない）で構成される。本発明は表示部2 7 2 2に適用することができる。

【0155】図16 (D) は片眼のヘッドマウントディスプレイであり、表示部2 7 3 1、バンド部2 7 3 2で構成される。本発明は表示部2 7 3 1に適用することができる。

【0156】[実施例7]図21に携帯情報端末に本発明を実施した例を示す。この例では静止画を表示する場合には、C P U 2 1 0 6の映像信号処理回路2 1 0 7、V R A M 2 1 1 1などの機能を停止させ、消費電力の低減を図ることができる。図21では動作をおこなう部分を点線で表示している。またコントローラ2 1 1 2はC O Gで表示装置2 1 1 3に装着してもよいし、表示装置内

部に一体形成してもよい。図22、23に携帯電話に本発明を実施した例を示す。図21と同様に静止画表示時は一部の機能を停止できるので消費電力を低減できる。

【0157】

【発明の効果】各画素の内部に配置された複数の揮発性の記憶回路を用いてデジタル映像信号の記憶を行うことにより、静止画を表示する際に各フレーム期間で揮発性の記憶回路に記憶されたデジタル映像信号を反復して用い、継続的に静止画表示を行う際に、ソース信号線駆動回路を停止させておくことが可能となる。さらに、各画素に配置された不揮発性の記憶回路を用いてデジタル映像信号を保持することによって、電源を遮断した後もデジタル映像信号の保持が可能となり、電子装置全体の低消費電力化に大きく貢献することが出来る。

【図面の簡単な説明】

【図1】 複数の揮発性の記憶回路と、複数の不揮発性の記憶回路とを内部に有する本発明の画素の回路図。

【図2】 本発明の画素を用いて表示を行うためのソース信号線駆動回路の回路構成例を示す図。

【図3】 本発明の画素を用いて表示を行うためのタイミングチャートを示す図。

【図4】 複数の揮発性の記憶回路と、複数の不揮発性の記憶回路とを内部に有する本発明の画素の詳細な回路図。

【図5】 第2のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

【図6】 図5のソース信号線駆動回路によって駆動される、本発明を応用した画素の詳細な回路図。

【図7】 図5および図6に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

10

【図8】 挥発性の記憶回路にダイナミック型メモリを用いる場合の本発明の画素の詳細な回路図。

【図9】 電子装置における時間階調方式の一般的な例のタイミングを示す図。

【図10】 本発明の画素を有する電子装置の作成工程例を示す図。

【図11】 本発明の画素を有する電子装置の作成工程例を示す図。

【図12】 本発明の画素を有する電子装置の作成工程例を示す図。

【図13】 従来の電子装置の全体の回路構成を簡略に示す図。

【図14】 従来の電子装置のソース信号線駆動回路の回路構成例を示す図。

【図15】 本発明の画素を有する表示装置の適用が可能な電子機器の例を示す図。

【図16】 本発明の画素を有する表示装置の適用が可能な電子機器の例を示す図。

【図17】 第2のラッチ回路を持たないソース信号線駆動回路の回路構成例を示す図。

20 【図18】 図17に記載の回路を用いて表示を行うためのタイミングチャートを示す図。

【図19】 従来の電子装置の画素部の拡大図。

【図20】 デコーダを用いたゲート線駆動回路の例を示す図。

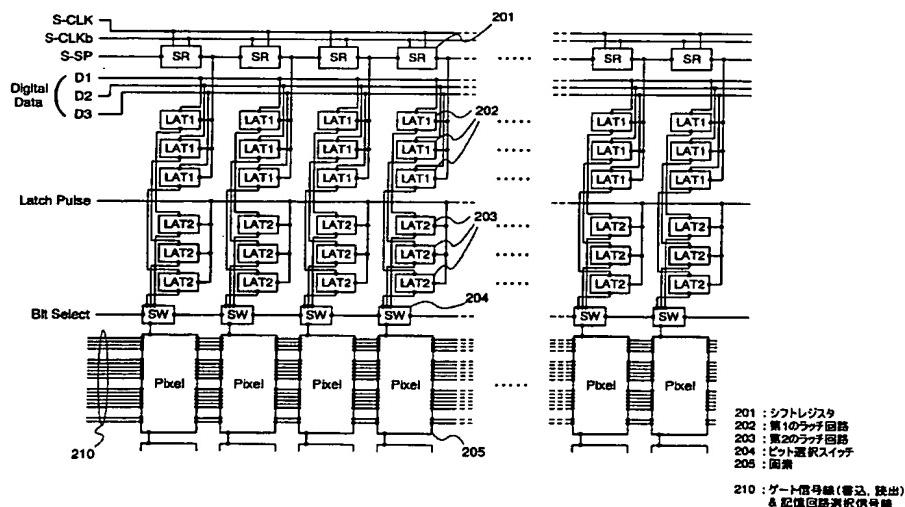
【図21】 本発明を用いた携帯情報端末のブロック図。

【図22】 本発明を用いた携帯電話のブロック図

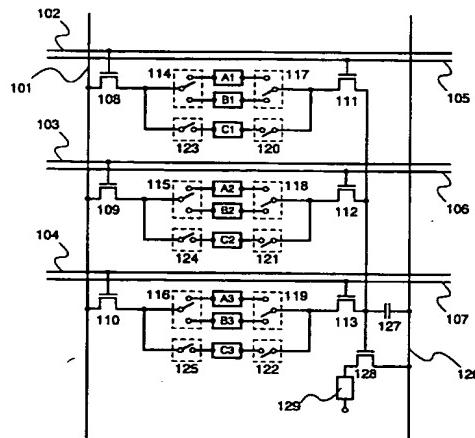
【図23】 携帯電話の送受信部分のブロック図

30

【図2】



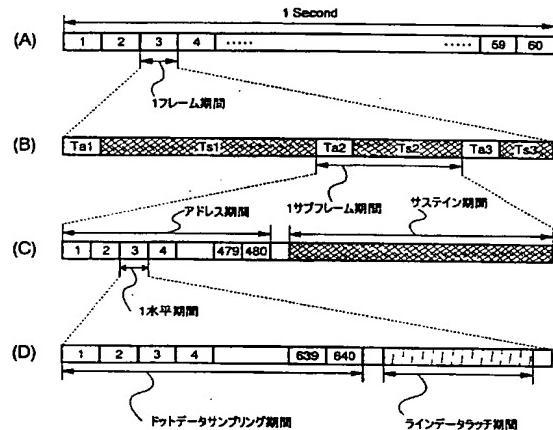
【図1】



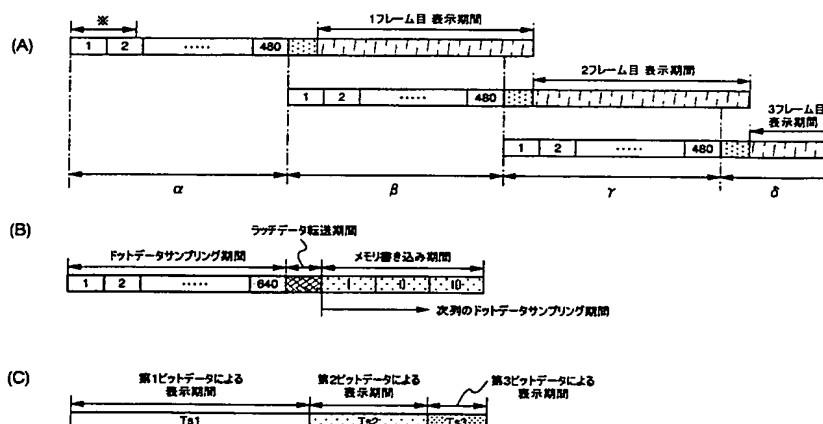
101 : ソース信号線
102～104 : 書き込み用ゲート信号線
105～107 : 読み出し用ゲート信号線
108～110 : 書き込み用 TFT
111～113 : 読み出し用 TFT
114～116 : 書き込み用記憶回路選択部(M)
117～119 : 書き込み用記憶回路選択部(M)
120～122 : 書き込み用記憶回路選択部(M)
123～125 : 読み出し用記憶回路選択部(M)
126 : 電流供給線
127 : 保持電量
128 : EL駆動用 TFT
129 : EL素子

A1～A3, B1～B3 : 記憶回路
C1～C3 : 不揮発性の記憶回路

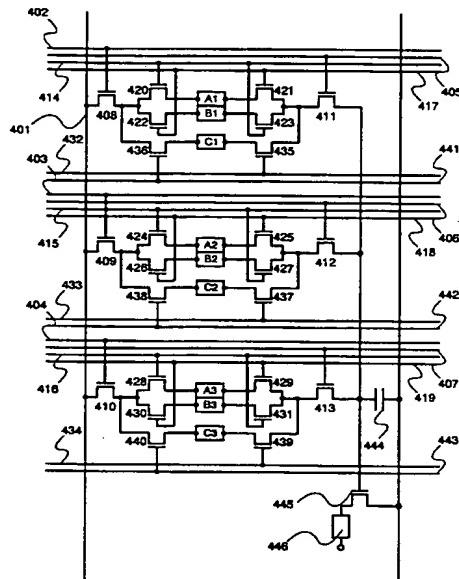
【図9】



【図3】

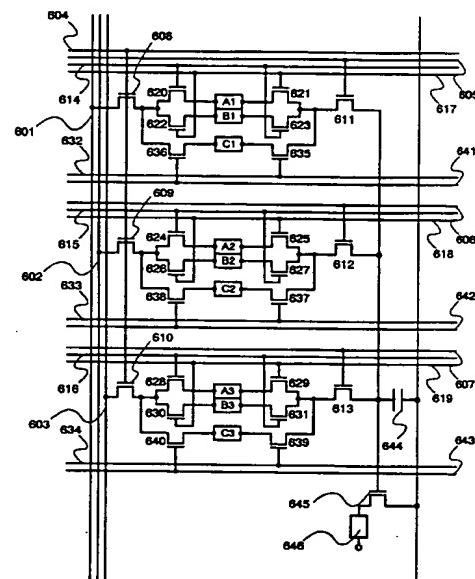


[図4]



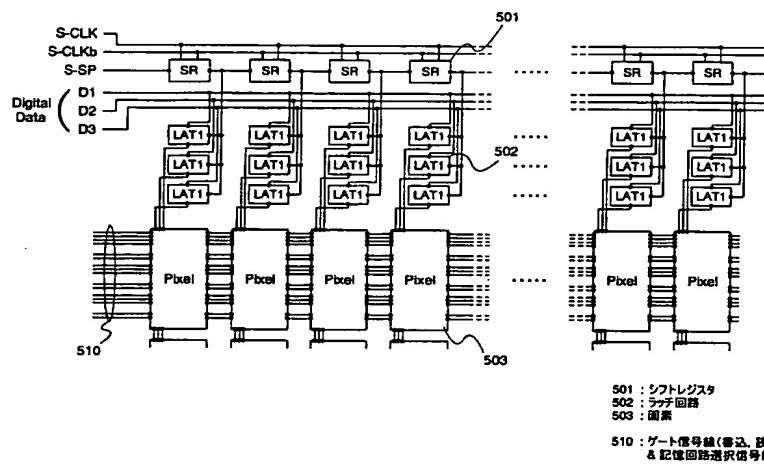
401	:サービス信号線	432~434, 441~443	12位端末選択信号線(NV)
402~404	:端末用ゲート信号線	435, 437, 439	端末選択用TFT(NV)
405~407	:端末用ゲート信号線	436, 438, 440	端末用TFT(NV)
408~410	:電源用TFT	444	待空容量(C4)
411~413	:端末用TFT	445	EL駆動用TFT(NV)
414~419	:記憶回路選択信号線(V)	446	EL素子(EL)
420, 422, 424			
428, 429, 430	:端末選択用TFT(V)		
421, 423, 425		A1~A3, B1~B3	記憶回路
427, 429, 431	:端末選択用TFT(V)	C1~C3	不確実性の記憶回路

【图6】

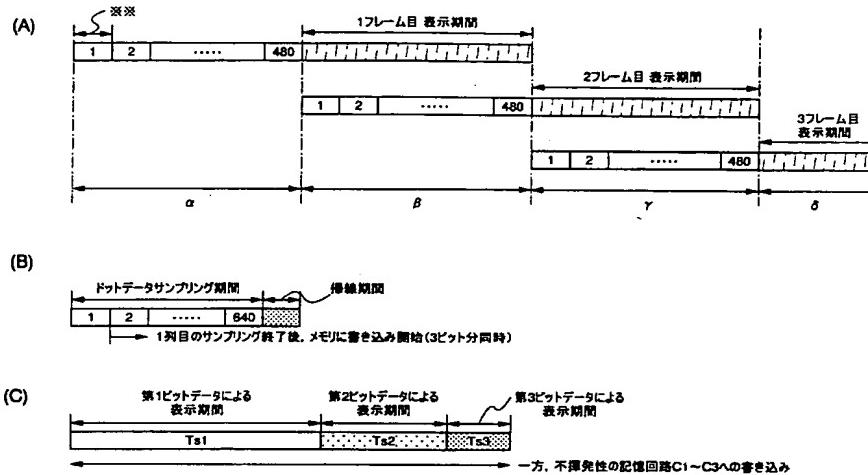


601~603	:リード信号線	632~634, 641~643	:記憶回路選択信号線(NV)
604	:電圧用ゲート信号線	635, 637, 639	:電圧選択用TFT(NV)
605~607	:電流用ゲート信号線	636, 638, 640	:電流選択用TFT(NV)
608~610	:電圧用 TFT	644	:供給電圧
611~613	:電流用 TFT	645	:EL駆動用TFT(NV)
614~619	:記憶回路選択信号線(V)	646	:EL電子(EL)
620, 622, 624			
626, 628, 630	:電圧選択用 TFT(V)		
621, 623, 625			
627, 629, 631	:説出選択用 TFT(V)	A1~A3, B1~B3	:記憶回路
		C1~C3	:電圧供給用 TFT

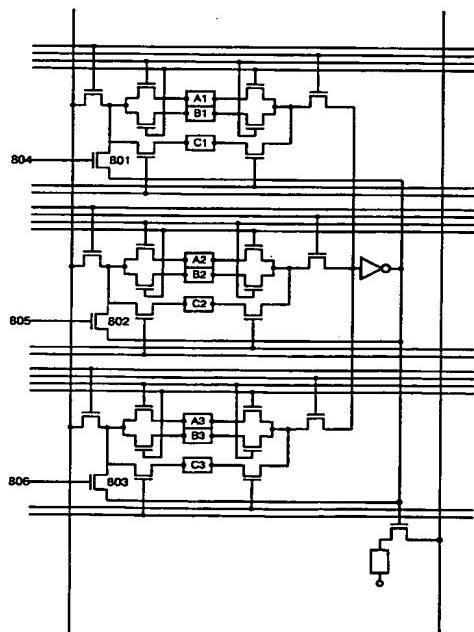
[図 5]



【図7】

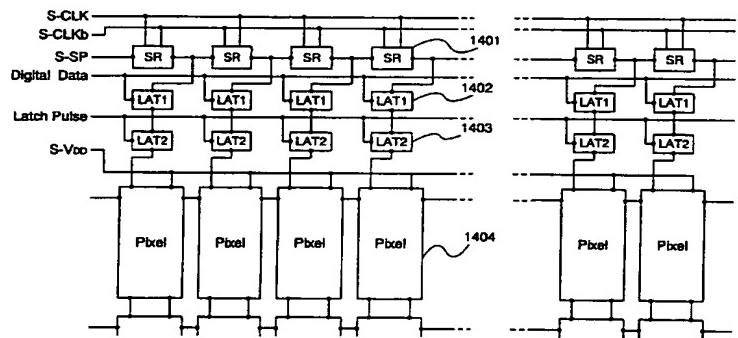


【図8】



801～803 : リフレッシュ用TFT
804～806 : リフレッシュ用信号線
A1～A3, B1～B3 : 記憶回路(DRAM)
C1～C3 : 不揮発性の記憶回路

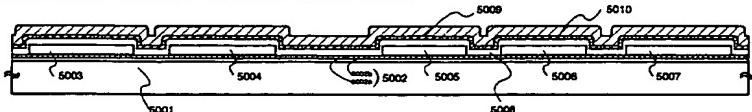
【図14】



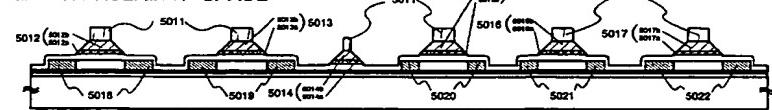
1401 : シフトレジスタ
1402 : 第1のラッチ回路
1403 : 第2のラッチ回路
1404 : 回路

【図10】

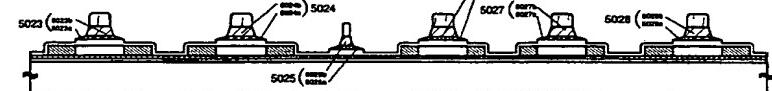
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜の形成



(B) 第1のエッティング処理、第1のドーピング処理



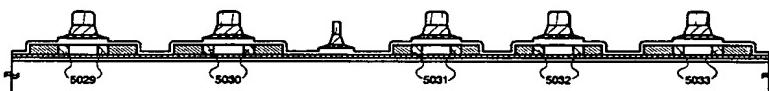
(C) 第2のエッティング処理



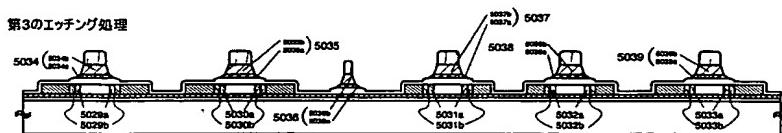
5001 : 基板
 5002 : 下部電極
 5003-5007 : 島状半導体
 5008 : 基1のゲート絶縁膜
 5009 : 第1の導電膜
 5010 : 第2の導電膜
 5011-5017 : 第1の導電膜
 5012-5018 : 第1の不純物領域
 5019-5021 : 島1の島状の導電層
 5022-5028 : 第2の導電膜
 5022a-5028a : 第1の導電膜
 5022b-5028b : 第2の導電膜
 5023-5029 : 島2の島状の導電層
 5025-5028 : 第2の導電膜

【図11】

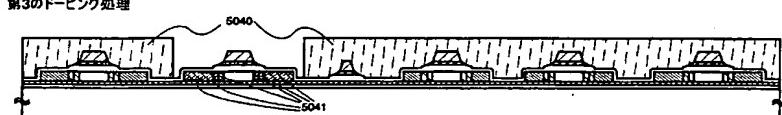
(A) 第2のドーピング処理



(B) 第3のエッティング処理

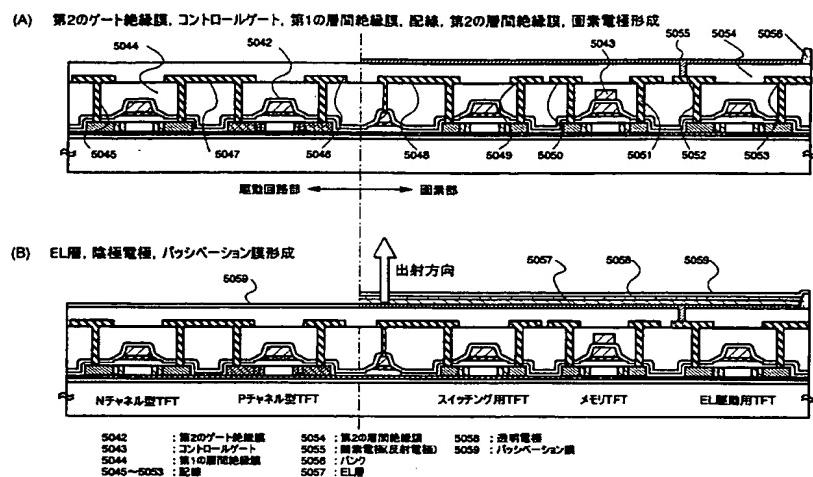


(C) 第3のドーピング処理

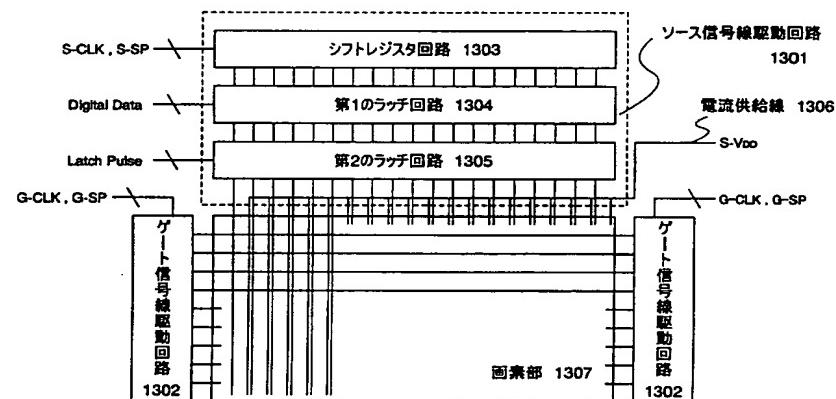


5029-5033 : 第3の不純物領域(エッティング用)
 5029a-5033a : 第3の不純物領域(エッティング用)
 5029b-5033b : 第3の不純物領域
 5041 : 第40の不純物領域
 5034-5039 : 第3の島状の導電層
 5034a-5039a : 第1の導電膜
 5034b-5039b : 第2の導電膜
 5037 : 第3の導電膜
 5040 : レジストマスク

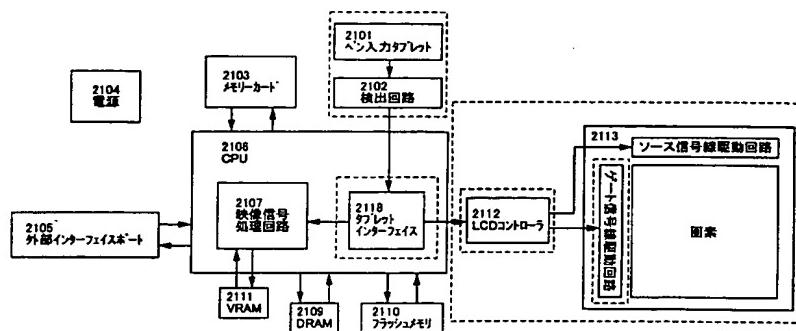
【図12】



【図13】

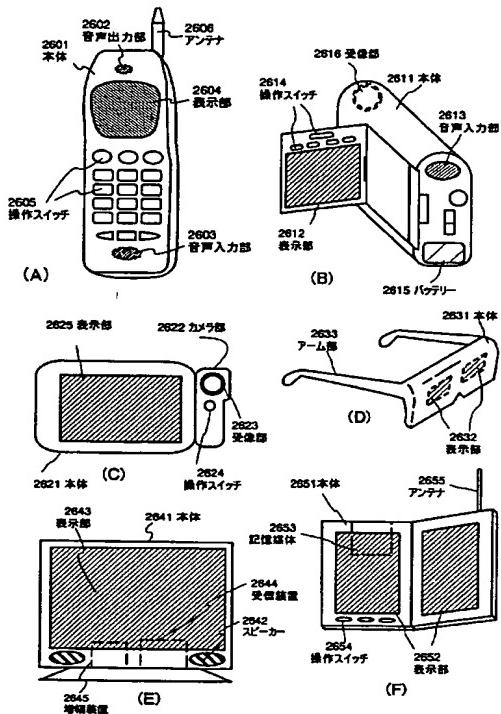


【図21】

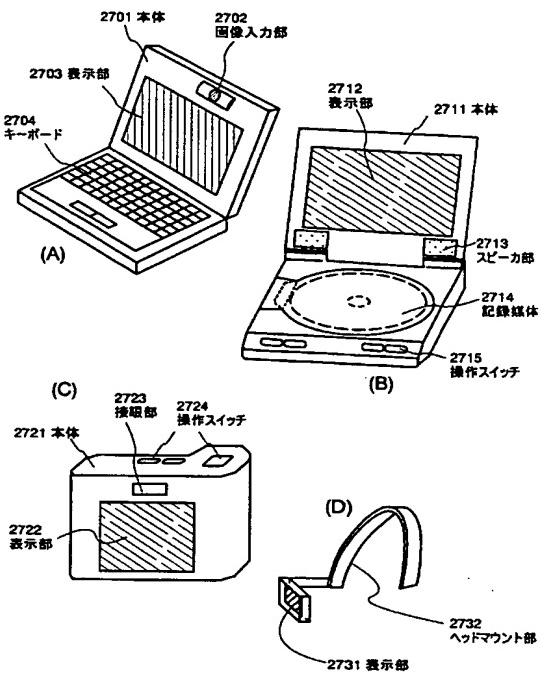


携帯情報端末の構成図

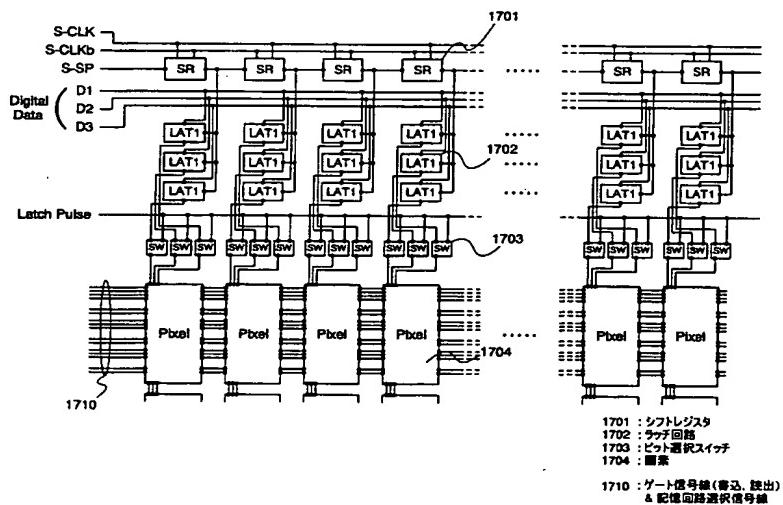
【図15】



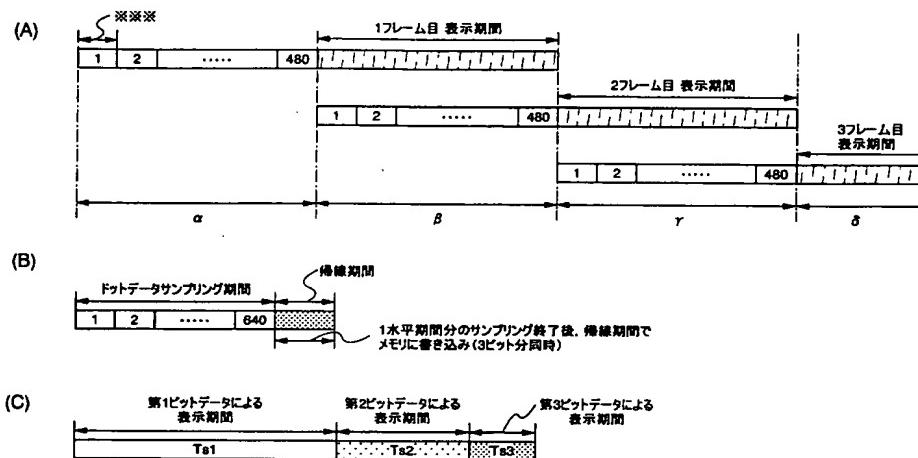
【図16】



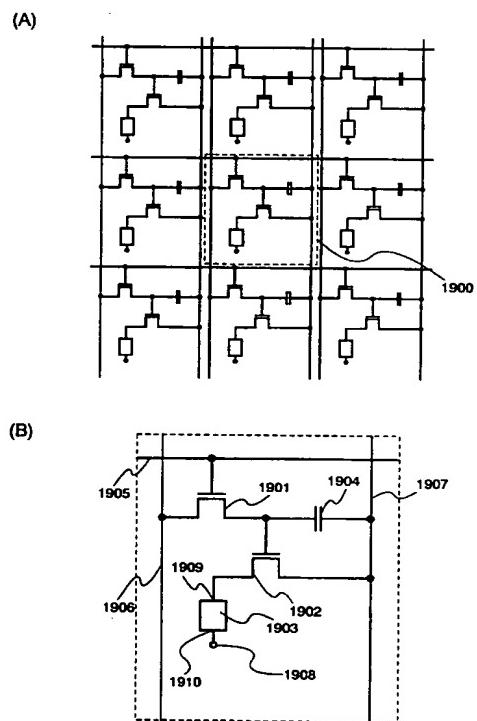
【図17】



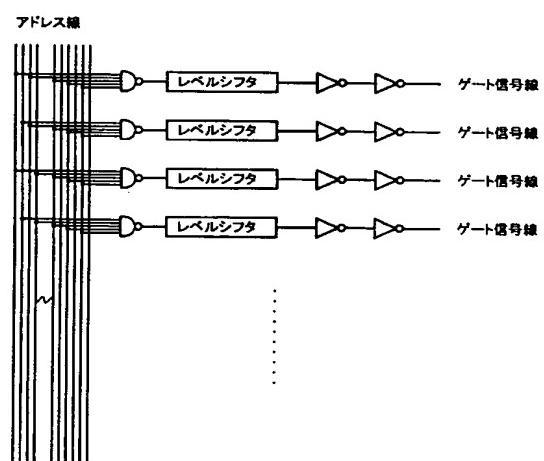
【図 18】



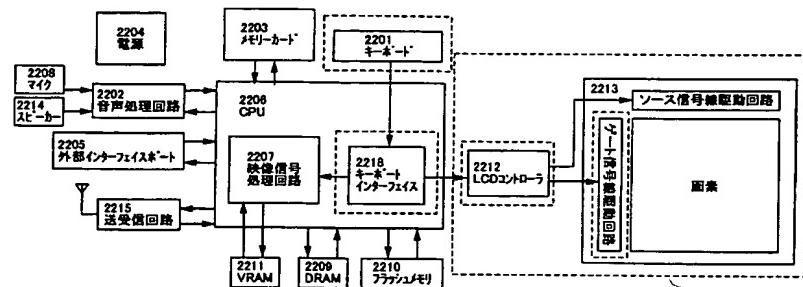
【図 19】



【図 20】

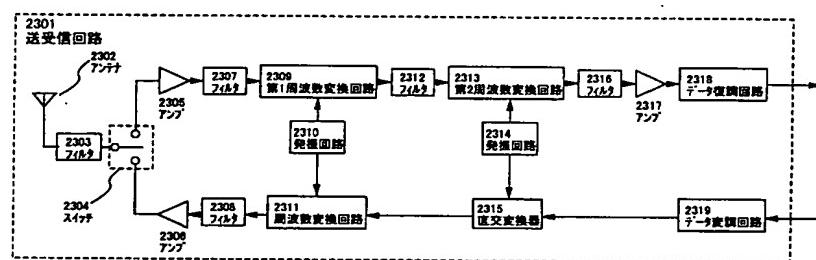


【図22】



携帯電話ブロック図

【図23】



送受信回路ブロック図

フロントページの続き

(51) Int. Cl. 7

G 09 G 3/20

識別記号

6 3 1
6 6 0
6 8 0

F I

G 09 G 3/20

テ-マコ-ト (参考)

6 3 1 K
6 6 0 U
6 8 0 A
6 8 0 T
6 8 0 V

3/36

H 04 N 5/70

3/36

H 04 N 5/70

F ターム(参考) 5C006 AA01 AA02 AA14 AF06 AF44
AF51 AF53 AF61 BB16 BC02
BC03 BC06 BC12 BC20 BF02
BF03 BF04 BF09 BF11 BF15
BF24 FA47
5C058 AA12 BA02 BA14 BA26 BB11
5C080 AA06 AA10 BB05 DD26 EE17
EE29 FF11 GG12 JJ02 JJ06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.